



IFW

XA-10084
PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

Kazuo SAKAMOTO et al.

Appln. No.: 10/827,288

Group Art Unit: 2816

Filed: April 20, 2004

For: DATA PROCESSING DEVICE AND MOBILE DEVICE

* * *

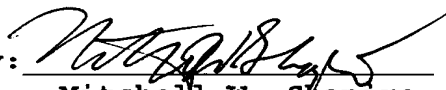
CLAIM OF PRIORITY UNDER 35 U.S.C. § 119

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Applicants hereby claim the priority of Japanese
Patent Application No. 2003-150031 filed May 28, 2003, and
submit herewith a certified copy of said application.

Respectfully submitted,

By: 
Mitchell W. Shapiro
Reg. No. 31,568

MWS:lat

Miles & Stockbridge P.C.
1751 Pinnacle Drive
Suite 500
McLean, Virginia 22102-3833
(703) 903-9000

August 4, 2004

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 5 月 2 8 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 1 5 0 0 3 1
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 1 5 0 0 3 1]

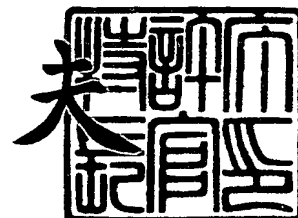
出 願 人 株式会社ルネサステクノロジ
Applicant(s):

CERTIFIED COPY OF
PRIORITY DOCUMENT

2 0 0 4 年 4 月 9 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 4 - 3 0 2 9 4 9 4

【書類名】 特許願

【整理番号】 R03000041

【あて先】 特許庁長官殿

【国際特許分類】 G06F 12/00

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサ
 ステクノロジ内

 【氏名】 坂本 和夫

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサ
 ステクノロジ内

 【氏名】 森野 直純

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサ
 ステクノロジ内

 【氏名】 工藤 郁夫

【特許出願人】

 【識別番号】 503121103

 【氏名又は名称】 株式会社ルネサステクノロジ

【代理人】

 【識別番号】 100085811

 【弁理士】

 【氏名又は名称】 大日方 富雄

 【電話番号】 03-3269-1430

【手数料の表示】

 【予納台帳番号】 027177

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

●

【物件名】	図面	1
【物件名】	要約書	1
【プルーフの要否】	要	

【書類名】 明細書

【発明の名称】 データ処理装置および電子機器

【特許請求の範囲】

【請求項 1】 中央処理装置（CPU）と、外部装置との間のデータ送受信のためのインタフェース部と、を備え、クロック信号に同期してデータの送受信を行なう外部装置と接続可能な半導体集積回路化されたデータ処理装置であって、

前記インタフェース部には、

前記クロック信号を出力するための外部端子と、

前記外部端子を駆動してクロック信号を出力する出力ドライバと、

前記外部装置から入力されたデータを取り込むためのクロック信号を生成するために、前記出力ドライバよりも前段のクロック信号経路の任意の位置から取り出されたクロック信号に前記外部端子に接続される外部負荷による遅延と等価な遅延を付与可能な等価負荷回路と、が設けられていることを特徴とするデータ処理装置。

【請求項 2】 前記等価負荷回路は、抵抗と容量とからなる時定数回路であることを特徴とする請求項 1 に記載のデータ処理装置。

【請求項 3】 前記等価負荷回路は、複数の時定数回路を備え、該複数の時定数回路のいずれかを通過した信号または通過しない信号を、前記外部装置から入力されたデータを取り込むための同期用クロック信号として選択することで遅延量が異なるクロック信号を生成することを特徴とする請求項 2 に記載のデータ処理装置。

【請求項 4】 中央処理装置（CPU）と、クロック信号を生成するクロックパルス生成回路と、外部装置との間のデータ送受信のためのインタフェース部と、を備え、クロック信号に同期してデータの送受信を行なう記憶装置と接続可能な半導体集積回路化されたデータ処理装置であって、

前記インタフェース部には、

前記クロック信号を出力するための第 1 の外部端子と、

前記クロックパルス生成回路により生成されたクロック信号に基づいて前記第

1 外部端子を駆動してクロック信号を出力する出力ドライバと、

前記出力ドライバよりも前段のクロック信号経路の任意の位置から取り出されたクロック信号に、前記第 1 の外部端子に接続される外部負荷による遅延と等価な遅延を付与可能な等価負荷回路と、が設けられていることを特徴とするデータ処理装置。

【請求項 5】 前記記憶装置からのデータを受ける第 2 の外部端子と、前記第 2 の外部端子に供給されたデータを取り込むラッチ回路とを備え、前記ラッチ回路は前記等価負荷回路により遅延されたクロック信号に基づいてデータを取り込むことを特徴とする請求項 4 に記載のデータ処理装置。

【請求項 6】 前記クロックパルス生成回路および前記ラッチ回路は第 1 の電源電圧で動作する回路により構成され、

前記出力ドライバおよび前記等価負荷回路は、前記第 1 の電源電圧よりも高い第 2 の電源電圧で動作する回路により構成されていることを特徴とする請求項 4 または 5 に記載のデータ処理装置。

【請求項 7】 前記等価負荷回路は、抵抗と容量とからなる時定数回路であることを特徴とする請求項 4 ～ 6 のいずれかに記載のデータ処理装置。

【請求項 8】 前記等価負荷回路は、複数の時定数回路を備え、該複数の時定数回路のいずれかを通過する信号または通過しない信号を、前記外部装置から入力されたデータを取り込むための同期用クロック信号として選択することで遅延量が異なるクロック信号を生成することを特徴とする請求項 7 に記載のデータ処理装置。

【請求項 9】 前記複数の時定数回路のいずれかを通過する信号または通過しない信号を選択的に伝達するセレクト回路を備えることを特徴とする請求項 8 に記載のデータ処理装置。

【請求項 10】 前記セレクト回路の状態を決定する設定値を保持するレジスタと、該レジスタの設定値に応じて前記セレクト回路の制御信号を生成するデコーダと、を備えることを特徴とする請求項 9 に記載のデータ処理装置。

【請求項 11】 請求項 1 ～ 10 のいずれかに記載のデータ処理装置と、該データ処理装置に接続可能な不揮発性記憶装置とを備え、前記不揮発性記憶装置

は前記データ処理装置より出力されるクロック信号に基づいてデータの送受信を行なうことを特徴とする電子機器。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、半導体集積回路の入出力回路さらにはクロック信号に同期したデータ信号の取込みに適用して有効な技術に関し、例えばメモリカードとのインタフェースを有するマイクロコンピュータやマイクロプロセッサのようなデータ処理用半導体集積回路に利用して好適な技術に関する。

【 0 0 0 2 】

【従来の技術】

近年、デジタルカメラや携帯電話などの携帯用電子機器のデータ記憶媒体として、電源電圧を遮断しても記憶データを保持できるフラッシュメモリなどの不揮発性メモリを内蔵したメモリカードと呼ばれるカード型記憶装置が広く利用されるようになって来ている。

これに応じて、メモリカードから直接データを読み出せるようにするため、メモリカード・インタフェースを内蔵したマイクロコンピュータやマイクロプロセッサ等のデータ処理用半導体集積回路（IC）が提案されている。

【 0 0 0 3 】

【発明が解決しようとする課題】

ところで、従来、メモリカードには、SD（Secure Digital（登録商標））カードやMMC（Multi Media Card（登録商標））カード、スマートメディア（登録商標）、メモリスティック（登録商標）、コンパクトフラッシュ（登録商標）など種々の仕様のものが実用化されている。特に、SDカードとMMCカードは、後者は前者の高機能版という関係にあり、外部端子の数と種類が共通であるため、これらのメモリカードから直接データを読み出すためのメモリカード・インタフェースを内蔵したマイクロプロセッサやマイクロコンピュータ（以下、これらを総称してマイクロコンピュータもしくは単にマイコンという）には、いずれのメモリカードからもデータを読み出せる機能を有することが望まれる。

【0004】

そこで、本発明者等は、SDカードやMMCカード等のクロックに同期したメモリカードに対応可能なマイコンのメモリカード・インタフェースについて検討を行なった。図7には本発明者等が検討したメモリカード・インタフェースの構成を、また図8には該インタフェースにおけるクロック及びデータ信号の入出力タイミングを示す。

【0005】

図7のメモリカード・インタフェース部221は、システムクロック ϕ_s によってラッチ動作してシステムクロック ϕ_s の2倍の周期を有したメモリカード100との間のデータ転送の同期用クロックCLKを生成する分周用フリップフロップ251と、該フリップフロップ251から出力されるクロック信号を外部端子241よりチップ外部へ出力するための出力バッファ252と、IOレジスタ223などから供給される入出力制御信号Sioに基づいて入出力状態を決定し出力バッファ252等を制御する入出力制御論理&レベルシフト回路253と、チップ外部から外部端子242へ入力されたデータ信号を取り込む入力論理ゲート254および入力ラッチ255などからなり、出力バッファ252から出力されるB点のクロック信号をORゲートG3などを介して入力ラッチ255に帰還させて、そのとき外部端子242に入力されているデータ信号を帰還クロックCLK'に同期してラッチして内部回路へ供給するように構成されている。

【0006】

図8において、(A)はマイコン内部のA点のクロック ϕ_s の波形、(B)は図7のマイコン側インタフェースのクロック出力端子241に外部負荷CLとして25pFが接続された場合のB点の理想的なクロック波形を示す。

【0007】

MMCカードの仕様では、入力クロックCLKの立下りエッジ又は立上りエッジすなわち図8(B)のタイミングt1から($T_c - 5n$ 秒)後のタイミング、またはt2から($T_c - 5n$ 秒)後のタイミングでデータを出力するように規定されている。つまり、MMCカードでは、クロックの立下りエッジまたは立上りエッジに同期してデータの出力が行なわれる。(MMCA Technical Committee “Th

e Multi Media Card System Specification Version3.1”)

よって、本 L S I の MMC カードのインターフェース仕様では、MMC カードから出力されるデータ信号のタイミングとして、クロック C L K の立上りエッジ t_2 よりも T_2 時間遅いタイミング t_3 を中心にして 5 ns のセットアップ時間 T_s と 5 ns のホールド時間 T_h を保証するように設計している。

【 0 0 0 8 】

しかしながら、本発明者等が検討した結果、伝送線路とマイコン側のドライブ回路（メモリカード・インタフェース部）およびメモリ側のレシーブ回路との間にインピーダンス不整合があると、出力端子や入力端子での出力信号の反射波によって、マイコン側のクロック出力端子 2 4 1 （B 点）の波形が図 8 （F）のように変形してしまう。これにより、クロックの立上りエッジが理想的な場合よりも Δt だけ遅れ、マイコン内部のメモリカードからのデータ信号を取り込むラッチ回路 2 5 5 （C 点）のクロック C L K' が図 8 （G）のように T_2' だけ遅れてしまうため、MMC カードで規定されているホールド時間内にデータを取り込むことができず、データホールド違反を起こすおそれがあることが明らかとなった。

【 0 0 0 9 】

特に、携帯電話器のような電子機器では、マイコンチップはプリント配線基板のような誘電体基板上に実装され、MMC カードのようなメモリカードは同じく誘電体基板上に実装されたカードソケットもしくはカードコネクタに装着され、基板上に形成されたプリント配線によってマイコンチップと電氣的に接続される構成を採ることが多い。

【 0 0 1 0 】

ここで、プリント配線基板上の配線は一般に半導体チップ内の配線に比べて精度が低く、またプリント配線基板上のメモリソケットの実装は半田等によることが多いため結合部の抵抗のばらつきも大きい。さらに、メモリカードとカードソケットもしくはカードコネクタとの接続は物理的な接触であるため、接触面の状態等によって接触抵抗が大きくばらつくことが多い。その結果、マイコンチップとメモリカードを接続する伝送線のインピーダンスや負荷が機器によって大きく

異なり、上記のようなインピーダンス不整合等を起こし易い。

【0011】

本発明の目的は、メモリカードが接続される外部端子のインピーダンスや負荷が使用システムによって異なる場合にも、正しくデータを取り込むことができるメモリカード・インタフェースを有するマイクロコンピュータを提供することにある。

この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述及び添附図面から明らかになるであろう。

【0012】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。

すなわち、メモリカードのような外部装置とのインタフェースを有するマイクロコンピュータにおいて、前記インタフェース部に、所定の外部端子に接続されてクロック信号を出力する出力ドライバと、前記メモリカードから入力されたデータを取り込むためのクロック信号を生成するために前記出力ドライバよりも前段のクロック信号経路の任意の位置から取り出されたクロック信号に前記外部端子に接続される外部負荷による遅延と等価な遅延を付与可能な等価負荷回路とを設けるようにしたものである。

【0013】

上記した手段によれば、クロック信号を出力する外部端子のインピーダンスや負荷が予め想定した値と異なる場合にも、等価負荷回路を調整することによって入力ラッチのような入力データを取り込む回路に供給されるクロック信号に、外部端子のインピーダンスや負荷の状態に応じた遅延を与えることができ、これによっていずれのメモリカードが接続された場合にも正しくデータを取り込むことができるようになる。

【0014】

【発明の実施の形態】

以下、本発明の実施の形態について詳細に説明する。

図1は、本発明を適用して好適なメモリカード・インタフェースを有するマイクロコンピュータの構成例を示す。符号200で囲まれた部分の回路は、単結晶シリコン基板のような1つの半導体チップ上に、半導体集積回路として形成される。

【0015】

この実施例のマイクロコンピュータ200は、チップ全体を制御するプログラム制御方式のCPU（中央処理装置）201、該CPU201が実行すべきプログラムやプログラムの実行に必要な固定データが格納されたROM（リード・オンリ・メモリ）202、CPU201の作業領域や一時記憶領域を提供するRAM（ランダム・アクセス・メモリ）203、チップ内部でCPU201に代わってデータ転送を行なうデータ転送コントローラなど当該マイクロコンピュータに固有の機能を提供するモジュールA204、CPU201に代わって加減乗算などの演算を行なうDSP（ディジタル・シグナル・プロセッサ）205などを備える。これらの回路は、内部バス211によって互いにデータ転送可能に接続されている。

【0016】

また、この実施例のマイクロコンピュータ200は、本発明のポイントであるクロックに同期してチップ内部のシステムとチップ外部のメモリカード100との間の信号の送受信を行なう入出力ポートとしてのメモリカード・インタフェース部221、外部装置との間のDMA（ダイレクト・メモリ・アクセス）データ転送を行なうDMA転送制御回路やシリアル通信インタフェース（SCI）、A/D変換回路などの周辺機能を提供するモジュールB222、入出力ポートの状態などを設定するためのIOレジスタ223など備える。これらの回路は、周辺バス212によって互いにデータ転送可能に接続されている。

【0017】

本実施例においては、上記IOレジスタ223に、メモリカード・インタフェース部221内の可変遅延回路257における遅延量を設定するためのレジスタが設けられており、該レジスタから選択信号SEL1、SEL2が可変遅延回路257へ供給されるように構成されている。

【0018】

さらに、この実施例のマイクロコンピュータ200は、内部バス211と周辺バス212との間の信号の競合を防止したりバス間の信号のやりとりを円滑にするためのバスコントローラ231、チップ外部から供給されるクロック信号あるいはチップ内部の発振回路で生成された発振信号を波形整形したり分周したりしてCPU201やメモ리카ード・インタフェース部221などの動作に必要なパルス状のクロック信号（以下、システムクロックと称する） ϕ_s を生成するクロックパルス生成回路（CPG）232を備える。内部バス211および周辺バス212は、アドレスバスやデータバス、各種の制御信号を供給するコントローラバスなどからなる。

【0019】

この実施例のマイクロコンピュータ200は、メモ리카ードなどの外部装置との間の信号のやり取りや電源電圧の供給を受けるための複数の外部端子を備える。図1には、これらの外部端子のうち本発明に関連する外部端子241および242のみが示されている。このうち端子241はチップ外部のメモ리카ード100に対して同期用のクロック信号CLKを出力するクロック端子、端子242はメモ리카ード100に対してコマンドCMDや書込みデータWDATAを送ったりメモ리카ード100から読み出されたデータRDATAを受け取ったりするための複数本のデータ入出力端子である。

【0020】

メモ리카ード100は、特に制限されないが、所定の単位でデータを電氣的に一括消去することが可能なフラッシュメモリなどの不揮発性半導体メモリからなるメモリア部、外部のホスト装置とのインタフェース部、ホスト装置から供給されるコマンドに基づいて上記フラッシュメモリに対するデータの書込みや読出しを行なうコントローラなどからなる。フラッシュメモリとコントローラは、それぞれ別個の半導体チップ上に半導体集積回路として形成されており、これら2つの半導体チップが絶縁基板上に実装され全体が樹脂でモールドもしくはセラミックパッケージ等に収納されてカードとして構成されている。

【0021】

また、メモリカード100には、携帯電子機器などの外部装置のカードスロットに挿入されたときに外部装置側の回路と電氣的に接続され、外部のホスト装置からメモリカード100に対して電源を供給したり信号の入出力を行なうためカード表面に露出した外部端子が設けられ、これらの外部端子は上記絶縁基板上に形成されたプリント配線もしくはボンディングワイヤによって上記インタフェース部のパッドに接続される。

【0022】

更に図示はしないが、メモリカード100は、プリント配線基板のような誘電体基板上に実装されるカードソケットもしくはカードコネクタを介して、同じく基板上に形成されたプリント配線によってマイクロコンピュータ200と電氣的に接続される。

【0023】

図1には、メモリカード100に設けられた外部端子のうち、クロック信号CLKが入力されるクロック端子141と、コマンドCMDや書込みデータWDATAを受けたり内部のフラッシュメモリから読み出されたデータを出力したりするためのデータ入出力端子142が示されている。

メモリカード100としては、本実施例では、SDカードまたはMMCカードを考えている。ただし、メモリカードは、これに限定されるものでなく、スマートメディア、メモリスティック、コンパクトフラッシュ（いずれも登録商標）など、接触型のメモリカードであればどのようなものであっても良い。また、本発明が適用される半導体集積回路は、前述したような機能ブロックを有するマイクロコンピュータに限定されるものでなく、メモリカード・インタフェースを有する半導体集積回路であればどのようなものに対しても適用することができる。

【0024】

図2は、メモリカード・インタフェース部221の一実施例を示す。この実施例のメモリカード・インタフェース部221には、システムクロック ϕ_s によってラッチ動作して ϕ_s の2倍の周期を有したメモリカード100との間のデータ転送の同期用クロックCLKを生成する分周用フリップフロップ251と、該フリップフロップ251から出力されるクロック信号を外部端子241よりチップ

外部へ出力するための出力バッファ 2 5 2 と、I O レジスタ 2 2 3 などから供給される入出力制御信号 $S i o$ に基づいて入出力状態を決定し出力バッファ 2 5 2 等を制御する入出力制御論理回路 2 5 3 と、チップ外部から外部端子 2 4 2 へ入力されたデータ信号を取り込む入力論理ゲート 2 5 4 および入力ラッチ 2 5 5 と、入力ラッチ 2 5 5 に取り込まれたデータを内部クロック ϕs に同期してラッチして内部回路へ供給するデータラッチ 2 5 6 と、フリップフロップ 2 5 1 から出力バッファ 2 5 2 へ供給されるクロックを折り返して適当な遅延を与えて上記入力ラッチ 2 5 5 へ供給する可変遅延回路 2 5 7 などから構成されている。

【0 0 2 5】

この実施例においては、入出力制御論理回路 2 5 3 およびそれよりもチップ内部に設けられている回路は 1. 5 V のような低電圧で動作し、入出力制御論理回路 2 5 3 よりも外側の回路は 3. 3 V のような高い電圧で動作して、3. 3 V の外部インタフェースに応じた信号の入出力が可能に構成されている。そのため、入出力制御論理回路 2 5 3 は、内から外へ向う信号を 1. 5 V から 3. 3 V へ変換し外から内へ向う信号を 3. 3 V から 1. 5 V へ変換するレベルシフト機能も備えている。

【0 0 2 6】

また、システムクロック ϕs はメモリカード 1 0 0 のクロックの 1 / 2 倍の周期を有したものに限られるものでなく、データ転送の同期用クロック $C L K$ を生成する分周用フリップフロップ 2 5 1 およびその他の制御回路を変更することにより各種のシステムクロックに対応可能な構成となっている。

【0 0 2 7】

この実施例の出力バッファ 2 5 2 は、直列形態の P チャネル MOS トランジスタ $Q 1$ および N チャネル MOS トランジスタ $Q 2$ からなる出力ドライバ $D R V$ と、フリップフロップ 2 5 1 からのクロック信号 $C L K$ と入出力制御論理回路 2 5 3 からのアウトプットイネーブル信号 $O E$ とに基づいて出力トランジスタ $Q 1$ 、 $Q 2$ のゲート制御電圧を生成する $N A N D$ ゲート $G 1$ および $N O R$ ゲート $G 2$ とから構成されている。

【0 0 2 8】

この出力バッファ 252 は、アウトプットイネーブル信号 OE がハイレベルのときは NAND ゲート G1 の出力がハイレベルに、また NOR ゲート G2 の出力がロウレベルになって出力トランジスタ Q1, Q2 が共にオフされて、外部端子 241 がハイインピーダンス状態にされる。また、アウトプットイネーブル信号 OE がロウレベルのときは、クロック信号 CLK のハイまたはロウに応じて出力トランジスタ Q1, Q2 の一方がオン、他方がオフされてクロック信号 CLK と同一周期の信号が外部端子 241 より出力される。

【0029】

入力バッファとしての OR ゲート 254 も同様に、インプットイネーブル信号 IE によって入力状態が制御され、信号 IE がハイレベルのときはゲート遮断状態にされてチップ内部へのデータ信号の取込みを禁止し、信号 IE がロウレベルのときはゲート開状態にされて入力ラッチ 255 へのデータ信号の取込みを許可する。

【0030】

従来のメモリカード・インタフェースにおいては、一般に外部端子 241 のクロック信号がチップ内部へ折り返されて入力ラッチ 255 へ供給されるように構成されていたが、本実施例のメモリカード・インタフェースにおいては、出力ドライバ DRV の直前でクロック信号がチップ内部へ折り返されるようにされている。具体的には、出力ドライバ DRV の前段の NOR ゲート G2 の出力が入力ラッチ 255 へ供給される。しかも、この実施例では、NOR ゲート G2 の出力が可変遅延回路 257 において所定の遅延が与えられて入力ラッチ 255 へ供給されるように構成されている。

【0031】

可変遅延回路 257 は、本実施例では直列に多段接続された 3 個の遅延回路 DLY1, DLY2, DLY3 と、これらの遅延回路 DLY1 ~ DLY3 を通過する前の信号もしくはいずれかを通過した信号を選択的に伝達可能なセレクト SLC T と、前記 IO レジスタ 223 からの選択信号 SEL1, SEL2 をデコードしてセレクト SLC T を制御する信号を生成するデコーダ DEC と、セレクト SLC T を通過した信号と前記アウトプットイネーブル信号 OE を入力とする OR

ゲート G3 などにより構成されている。ORゲート G3 はアウトプットイネーブル信号 OE がハイレベルのときはゲート遮断状態にされて、チップ内部へのクロック信号の折返しを禁止する。

【0032】

可変遅延回路 257 は、プリント基盤配線等による前記外部端子 241 に接続される外部負荷 CL による遅延と等価な遅延を付与可能な等価負荷回路であり、外部端子 241 に接続される負荷 CL によってクロック CLK に与えられる遅延量に相当する遅延量を、NORゲート G2 から入力ラッチ 255 へ供給される帰還クロック信号 CLK' に与えるために設けられたものである。可変遅延回路 257 を構成する遅延回路 DLY1～DLY3 は、この実施例では、それぞれ抵抗素子と容量素子とからなる RC 時定数回路により構成されており、各々例えば 2～3 n 秒程度の遅延を与えられるように時定数が設定されている。

【0033】

また、特に制限されるものでないが、本実施例のマイクロコンピュータにおいては、電源投入時にイニシャライズプログラムによって IOレジスタ 223 内の遅延選択レジスタにデフォルト値として “00” が設定され、このデフォルト値が設定されると、遅延回路 DLY1 のみを通過したクロック信号がセクタ SELECT によって選択されて ORゲート G3 を介してチップ内部へ供給されるように構成されている。

【0034】

なお、図 2 においては、ORゲート G3 から入力ラッチ 255 へ供給される帰還クロック信号 CLK' が入出力制御論理&レベルシフト回路 253 を経て直接入力ラッチ 255 へ供給されるようにされたものが示されているが、入出力制御論理&レベルシフト回路 253 と入力ラッチ 255 との間にクロックを内部回路に分配する分配回路やバッファ、論理ゲートが設けられていてもよい。その場合、それらの回路におけるゲート遅延を考慮して可変遅延回路 257 における遅延量を設定するようにするのが良い。

【0035】

図 3 には、図 2 の実施例のメモリカード・インタフェース部 221 を適用した

マイコンにおけるクロック信号と、MMCカードからのデータ信号の出力（クロック立下りエッジ時出力）と入力のタイミングを示す。この実施例のメモリカード・インタフェース部 221 を適用したマイコンにおいては、クロックを出力する外部端子 241 である B 点の信号が、理想的な伝送路の場合には図 3（C）の破線のように A 点でのクロックよりも T_1 だけ遅れた波形になるものが、インピーダンス不整合等によって生じる反射波の影響で実線のように変形してしまったとしても、フリップフロップ 251 の入力端である A 点でのクロックよりも T_1 だけ遅れた B' 点（NOR ゲート G2 の出力）のクロックを可変遅延回路 257 で外部負荷の大きさに相当する時間 T_2' だけ遅延させた図 3（D）のようなクロック CLK' が入力ラッチ 255 へ供給されるようになる。

そのため、MMCカードの規格で規定されている外部端子 241 である B 点の信号の立上りエッジから T_2 だけ遅れたタイミングで変化するクロックを入力ラッチ 255 へ供給することができ、セットアップ時間 T_s およびホールド時間 T_h を満たし、セットアップ違反およびホールド違反を起こすのを回避することができる。

【0036】

なお、MMCカードでは、クロックの立下りエッジまたは立上りエッジの何れかに同期してデータの出力が行なわれるが、図 4 に MMCカードからのデータ信号の出力（クロック立上りエッジ時出力）とマイコンにおける入力のタイミングを示す。クロックを出力する外部端子 241 である B 点の信号が、理想的な伝送路の場合には図 4（C）の破線のように A 点でのクロックよりも T_1 だけ遅れた波形になるものが、インピーダンス不整合等によって生じる反射波の影響で実線のように変形してしまったとしても、B' 点でのクロックをもとに可変遅延回路 257 で負荷の大きさに相当する時間 T_2' だけ遅延させた図 4（D）のクロック CLK' の立ち上がりエッジで入力ラッチ 255 がデータをラッチするため、セットアップ違反およびホールド違反を起こすことはない。

【0037】

上述したように、本実施例のメモリカード・インタフェースは、出力ドライバ DRV の直前で折り返したクロック信号が入力ラッチ 255 へ届くまでに要する

遅延時間を、可変遅延回路 257 により適宜調整することができる。そのため、該インタフェースを適用したマイコンが実装されたユーザシステムにおいて、クロックを出力する外部端子 241 の負荷 CL が予め想定された例えば 25 pF のような値から大きく外れてしまった場合にも、プログラムを書き替えて IO レジスタ 223 に設定される可変遅延回路 257 における遅延量設定用のデフォルト値を変更することで、入力ラッチ 255 に与えられるクロック信号のタイミングをメモ리카ードから送られて来るデータのタイミングに合わせることができ、これによって正しいデータの取込みが行なえるようにすることができる。

【0038】

また、現在、マイコンのメーカにおいては、製造工程の最終段階で IC テスタによる選別テストが行なわれており、例えば上記のようなメモ리카ード・インタフェースに関しては、マイコンの外部端子にテスタを接続してテスタがメモ리카ードの代わりに所定のタイミングでデータを送って正しくラッチされるか否かを判定するテストが行なわれる。そして、データのホールド違反やセットアップ違反を起こした製品は不良品と判断される。

【0039】

ところが、本発明者等が詳しく調査した結果、IC テスタには異なるメーカにより製造された複数種類のテスタがあり、使用するテスタによってはマイコンのクロック出力端子 241 の負荷 CL が想定値の 25 pF から大きく外れるものがあることが分かった。これは、クロック出力端子 241 の負荷 CL の範囲として 0 ~ 60 pF が許容されていることにも関係している。

【0040】

しかしながら、本発明者等の検討結果によると、前述したように負荷 CL が想定値の 25 pF から外れている場合、インピーダンス不整合で生じる反射波の影響でクロック出力端子 241 の波形が図 3 (C) の実線のように変形して特に立上りエッジ遅れが発生するおそれがある。そして、このような立上りエッジ遅れが発生するテスタを用いて選別テストを行なうと、本来良品と判定されるべき製品が不良品と判定されるおそれがある。

【0041】

しかるに、前記実施例のメモリカード・インタフェースを適用したマイコンにあっては、出力バッファ 253 から折り返されるクロック信号のタイミングを可変遅延回路 257 によって調整することにより、テストの選別の際に、使用するテストに起因して発生するクロックの立上りエッジ遅れによって“データホールド違反”という判定がなされるのを回避することができるようになる。

【0042】

図5は、本発明に係るメモリカード・インタフェースの他の実施例を示す。この実施例のメモリカード・インタフェースは、図2の実施例の可変遅延回路 257 におけるセレクト S L C T およびデコーダ D E C の代わりに、配線を選択的に形成して遅延回路 D L Y 1 ~ D L Y 3 のいずれかを通過したクロック信号またはいずれの遅延回路も通過しないクロック信号を選択して O R ゲート G 3 を経て入力ラッチ 255 へ伝達可能に構成したものである。

【0043】

この実施例は、プロセスで使用する余分なマスクが必要になるというデメリットはあるが、可変遅延回路 257 の占有面積を小さくできるという利点がある。また、この実施例は、I O レジスタ 223 のようなレジスタを備えていない半導体集積回路に適した実施例である。なお、遅延回路 D L Y 1 ~ D L Y 3 の任意の接続ノードと O R ゲート G 3 との間に配線を選択的に形成する代わりに、予め遅延回路 D L Y 1 ~ D L Y 3 のすべての接続ノードと O R ゲート G 3 との間にすべて配線を形成しておいてレーザーにより不要な配線を切断するようにすることも可能である。

【0044】

さらに、図5の実施例においては、O R ゲート G 3 から入力ラッチ 255 へ供給されるクロック信号を観測するパッド P A D と、該パッドに O R ゲート G 3 の出力に応じて電源電圧 V c c または接地電位 V s s を印加するためのスイッチ M O S トランジスタ Q 3, Q 4 が設けられている。かかるトランジスタ Q 3, Q 4 を設けているのは、観測用パッド P A D に O R ゲート G 3 の出力端子を直接接続すると、観測用パッド P A D にテストからのプローブを接触させたときに O R ゲート G 3 の負荷が変化して入力ラッチ 255 へ供給されるクロック信号が遅延し

てしまうのを防止するためである。

【0045】

なお、トランジスタ Q3、Q4 はインバータ回路とみなすことができる。インバータの代わりに AND ゲートなどを設けて所定の制御信号が入力された場合にのみ OR ゲート G3 の出力が観測用パッド PAD に現われるように構成することも可能である。

【0046】

次に、メモ리카ード・インタフェースを有する上記実施例のマイコンの応用システムの一例としての携帯電話器を、図6を用いて説明する。

この実施例の携帯電話器は、表示手段としての液晶表示デバイス LCD300、送受信用のアンテナ310、音声出力用のスピーカ320、音声入力用のマイクロホン330、CCD（チャージ・カップルド・デバイス）やMOSセンサなどからなる固体撮像素子340、該固体撮像素子340からの画像信号を処理するDSP（Digital Signal Processor）などからなる画像信号処理回路430、液晶表示デバイス300を駆動して表示制御を行なう液晶コントローラドライバ410、スピーカ320やマイクロホン330の信号の入出力を行なう音声インタフェース441、アンテナ310との間の信号の入出力を行なう高周波インタフェース442、音声信号や送受信信号に係る信号処理等を行なうベースバンド部450、MPEG方式等に従った動画処理等マルチメディア処理機能や解像度調整機能等を有するマイクロプロセッサなどからなるアプリケーションプロセッサ460、電源用IC470およびデータ記憶用のメモリ481、482等を備えてなる。アプリケーションプロセッサ460として前記実施例のマイコン200が用いられる。

【0047】

アプリケーションプロセッサ460は、固体撮像素子340からの画像信号の他、高周波インタフェース442を介して他の携帯電話器から受信した動画データも処理する機能を有する。液晶コントローラドライバ410とベースバンド部450とアプリケーションプロセッサ460とメモリ481と画像信号処理回路430はシステムバス491によりデータ転送可能に接続されている。図6の携

帯電話器では、システムバス 491 の他に表示データバス 492 が設けられ、この表示データバス 492 には液晶コントローラドライバ 410 とアプリケーションプロセッサ 460 およびメモリ 481 が接続されている。

【0048】

なお、上記ベースバンド部 450 は、例えば DSP (Digital Signal Processor) などからなり音声信号処理を行なう音声信号処理回路 451、カスタム機能(ユーザ論理)を提供する ASIC (application specific integrated circuits) 452、ベースバンド信号の生成や表示制御、システム全体の制御等を行なうシステム制御装置としてのマイコン 453 等により構成される。

【0049】

メモリ 481、482 のうち 481 は揮発性メモリで通常 SRAM や SDRAM により構成され、さまざまな画像処理を行った画像データを保持するフレームバッファ等として用いられる。メモリ 482 は不揮発性メモリで例えば SD カードや MMC カードのようなメモリカードにより構成され、固体撮像素子 340 で撮影した画像データや受信した画像データ、音楽データ等の保存用に使用される。携帯電話器の本体ケースには、メモリカードを装着するカードスロットが設けられており、該カードスロットにメモリカード 482 が装着されると、メモリカードはアプリケーションプロセッサ 460 内のメモリカード・インタフェースによってデータ送受信可能に接続される。

【0050】

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、前記実施例では、可変遅延回路 257 を経て入力ラッチ 255 へ供給されるクロック信号の取出し点として出力ドライバ DRV の直前の NOR ゲート G2 の出力端を選択したが、出力ドライバ DRV よりも前段であればよく、例えば NAND ゲート G1 の出力端子あるいは NOR ゲート G2 の入力端子であっても良い。

【0051】

また、前記実施例では、遅延回路 DLY1 ~ DLY3 として抵抗と容量とから

なる時定数回路を用いるとしたが、インバータのような論理ゲートを多段に接続した回路や、論理ゲートおよびその出力端子と接地点との間に接続された容量からなる容量充放電型の遅延回路を用いても良い。かかる遅延回路は公知であるので、図示は省略する。また、これら以外の公知の信号遅延回路を用いることも可能である。

【0052】

さらに、前記実施例では、内部回路が1.5V系の回路で構成され、インタフェース部が3.3V系の回路で構成されている半導体集積回路を例にとって説明したが、内部回路とインタフェース部が同一の電源電圧系で動作する回路からなる半導体集積回路に本発明を適用することも可能である。その場合、前記実施例の入出力制御論理部253に設けられているレベルシフト回路は不要である。

【0053】

なお、インタフェース部の方が内部回路よりも高い電源電圧系で動作する半導体集積回路においては、前記実施例のように、可変遅延回路257は3.3V系の回路を構成する素子と同一のマスクで形成される素子で構成するのが望ましい。このようにすることによって、例えば出力ドライバDRVを構成するトランジスタQ1、Q2のサイズ等がプロセスによりばらついた場合、可変遅延回路257を構成する素子も同じようにばらつくため、プロセスバラツキによる入力ラッチ255へ供給されるクロックのタイミングのずれを小さくすることができる。

【0054】

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、上記実施例では、本発明をメモリカード・インタフェースを有する携帯電話器用のマイクロコンピュータに適用した場合について説明したが、本発明はそれに限定されるものでなく、他の用途のマイクロコンピュータやマイクロコンピュータ以外のLSIにも適用することができる。

【0055】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。すなわち、本発明によれば、メモリカードのような外部装置とのインタフェースを有するマイクロコンピュータにおいて、クロック信号を出力する外部端子のインピーダンスや負荷が予め想定した値と異なる場合にも、等価負荷回路を調整することによって入力データを取り込む回路に供給されるクロック信号に、外部端子のインピーダンスや負荷の状態に応じた遅延を与えることができ、これによってMMCカードなどのメモリカードが接続された場合にも正しくデータを取り込むことができるようになる。

【図面の簡単な説明】

【図 1】

本発明を適用して好適なメモリカード・インタフェースを有するマイクロコンピュータの構成例を示すブロック図である。

【図 2】

マイクロコンピュータに設けられたメモリカード・インタフェース部の一実施例を示す回路構成図である。

【図 3】

図 2 のメモリカード・インタフェース部におけるMMCカードとの信号の送受信のタイミング（クロック立下がりエッジ時データ出力）を示すタイミングチャートである。

【図 4】

図 2 のメモリカード・インタフェース部におけるMMCカードとの信号の送受信のタイミング（クロック立上がりエッジ時データ出力）を示すタイミングチャートである。

【図 5】

メモリカード・インタフェース部の第 2 の実施例を示す回路構成図である。

【図 6】

メモリカード・インタフェースを有する上記実施例のマイコンの応用システムの一例としての携帯電話器の概略構成を示すブロック図である。

【図 7】

本発明に先立って検討したメモリカード・インタフェースの構成を示すブロック図である。

【図 8】

本発明に先立って検討した図 7 のメモリカード・インタフェースにおける S D カードおよび MMC カードとの信号の送受信のタイミングを示すタイミングチャートである。

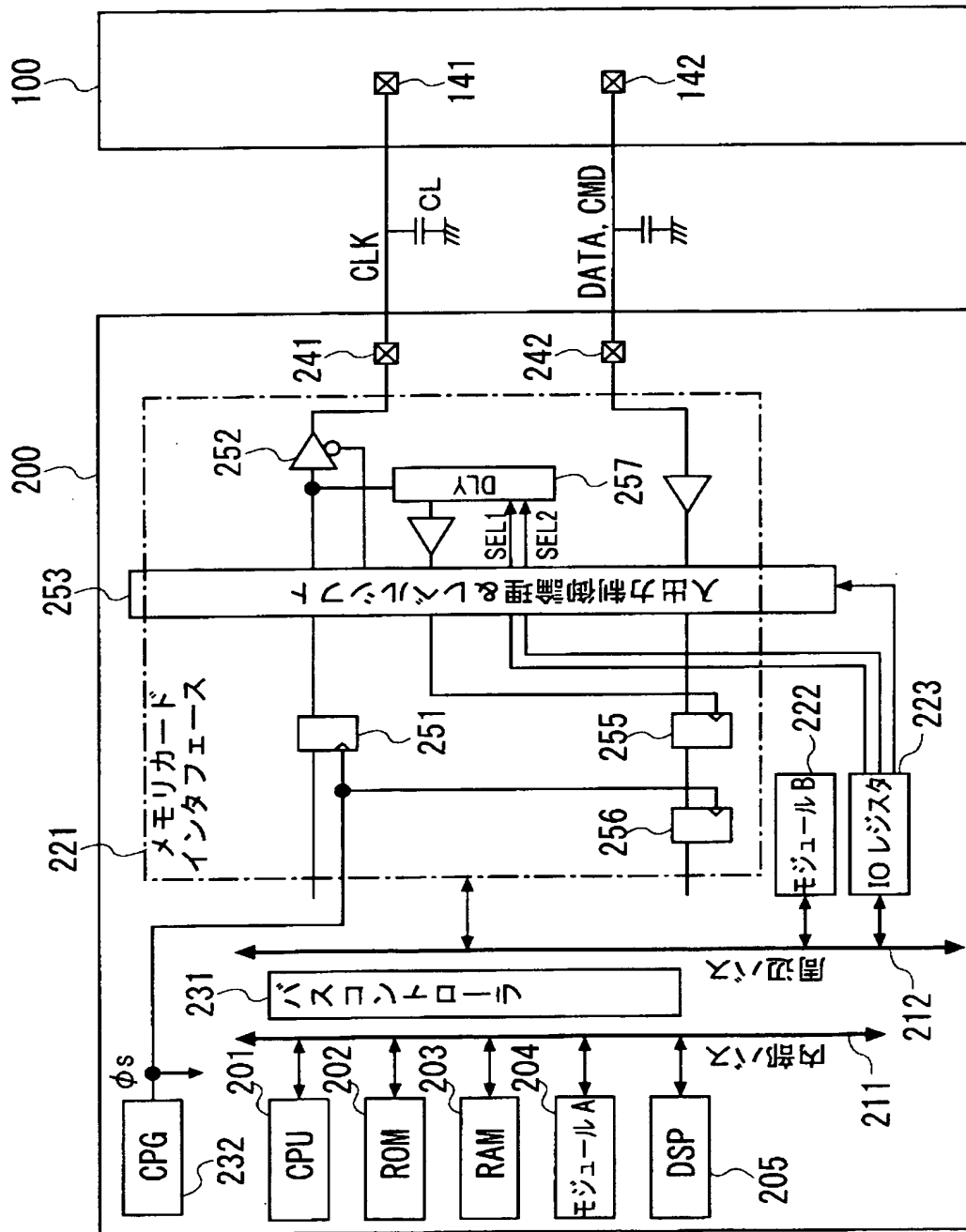
【符号の説明】

- 1 0 0 メモリカード
- 2 0 0 マイクロコンピュータ
- 2 0 1 C P U (中央処理装置)
- 2 0 2 内蔵 R O M (リード・オンリ・メモリ)
- 2 0 3 内蔵 R A M (ランダム・アクセス・メモリ)
- 2 0 4 機能モジュール
- 2 0 5 デジタル・シグナル・プロセッサ
- 2 1 1, 2 1 2 バス
- 2 2 1 メモリカード・インタフェース
- 2 3 1 バスコントローラ
- 2 3 2 クロックパルス生成回路
- 2 4 1 外部端子 (クロック出力端子)
- 2 4 2 外部端子 (データ入出力端子)

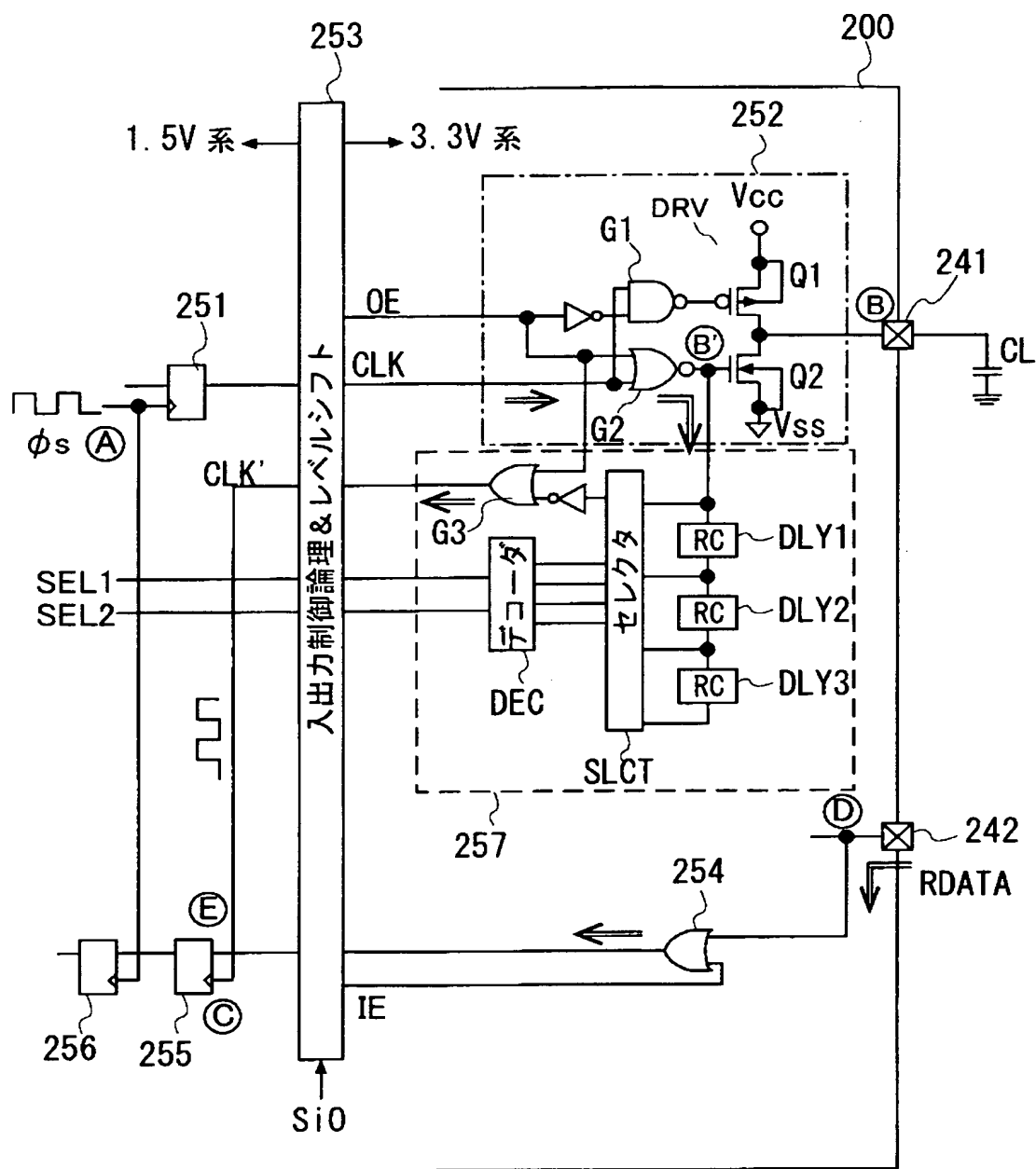
【書類名】

図面

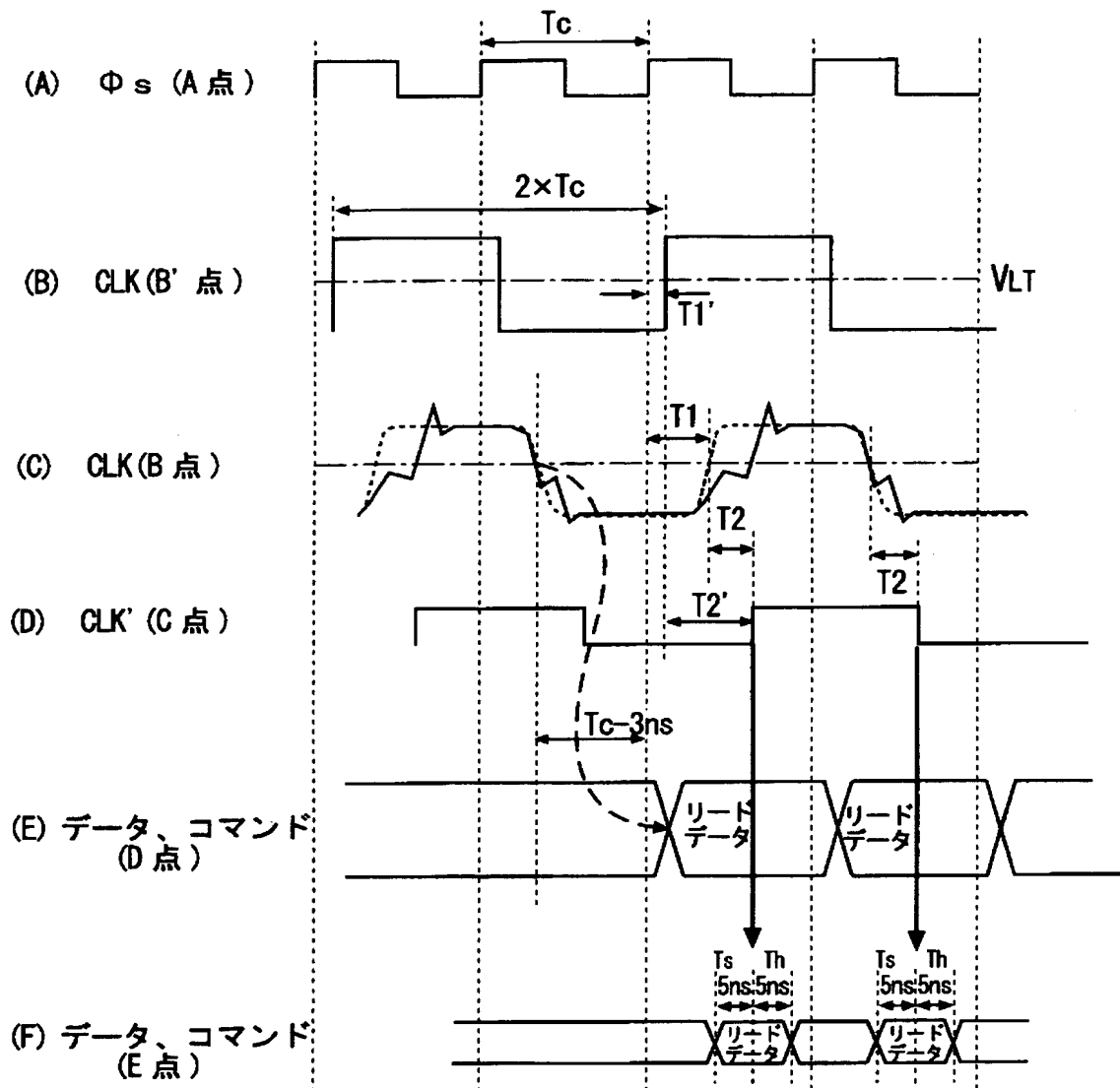
【図 1】



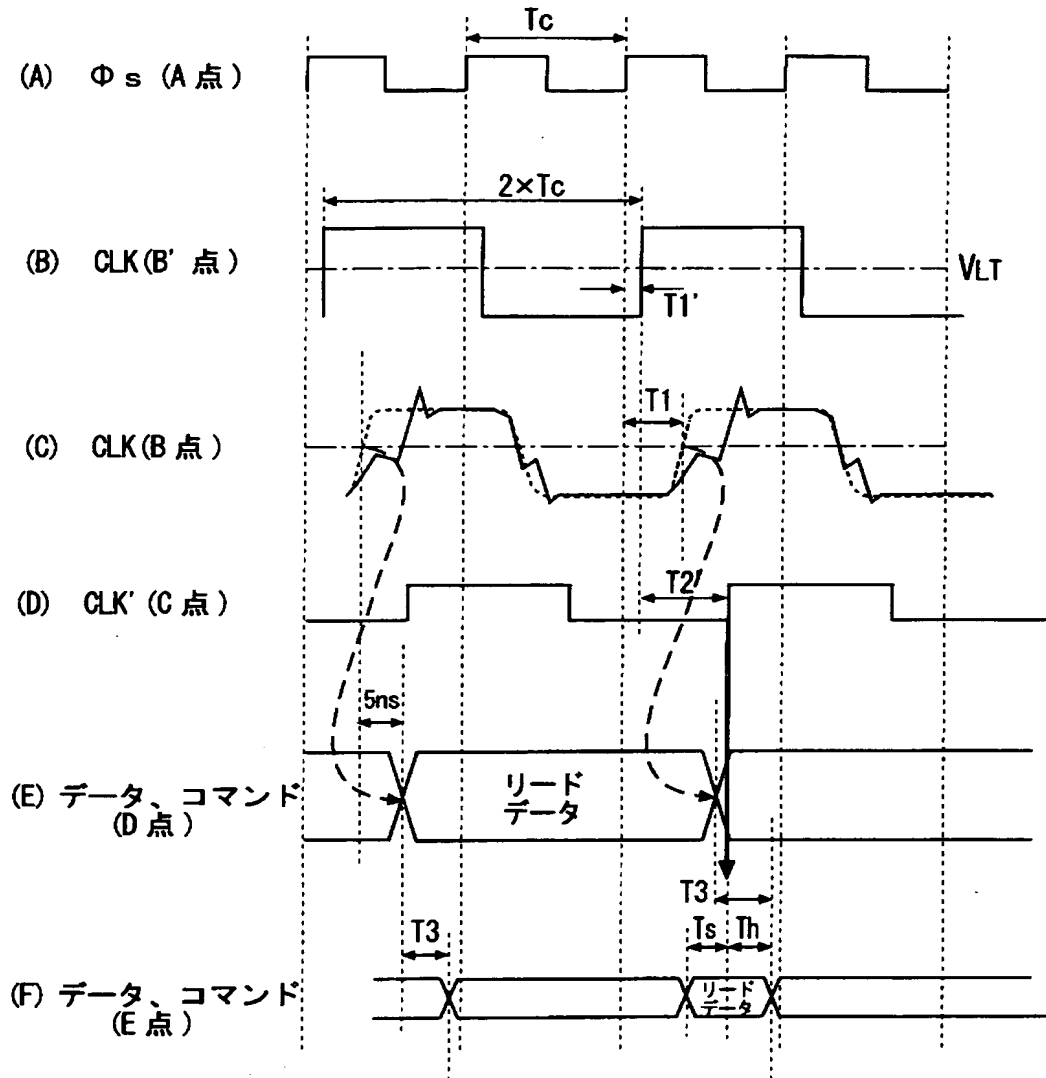
【図 2】



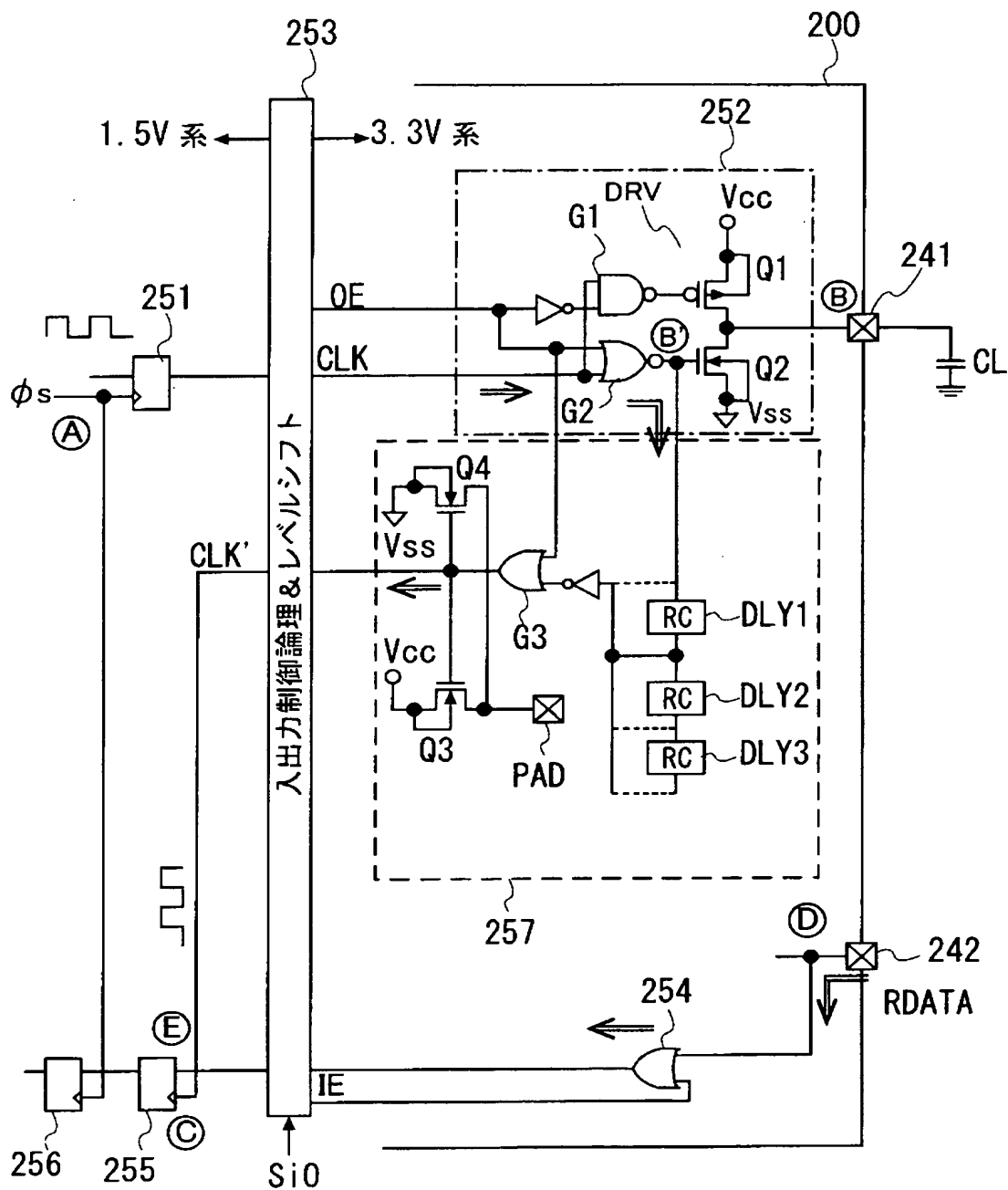
【図 3】



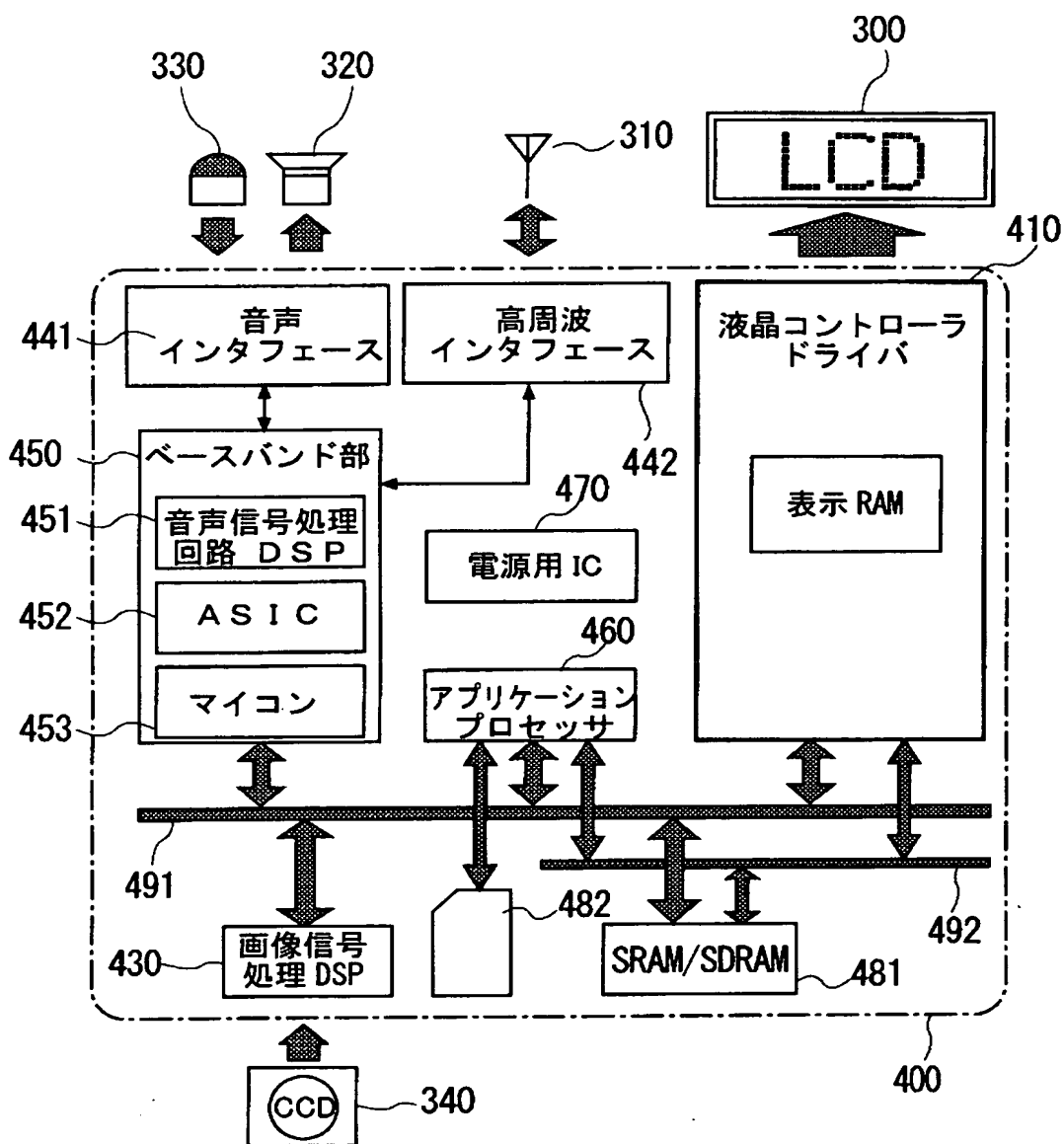
【図 4】



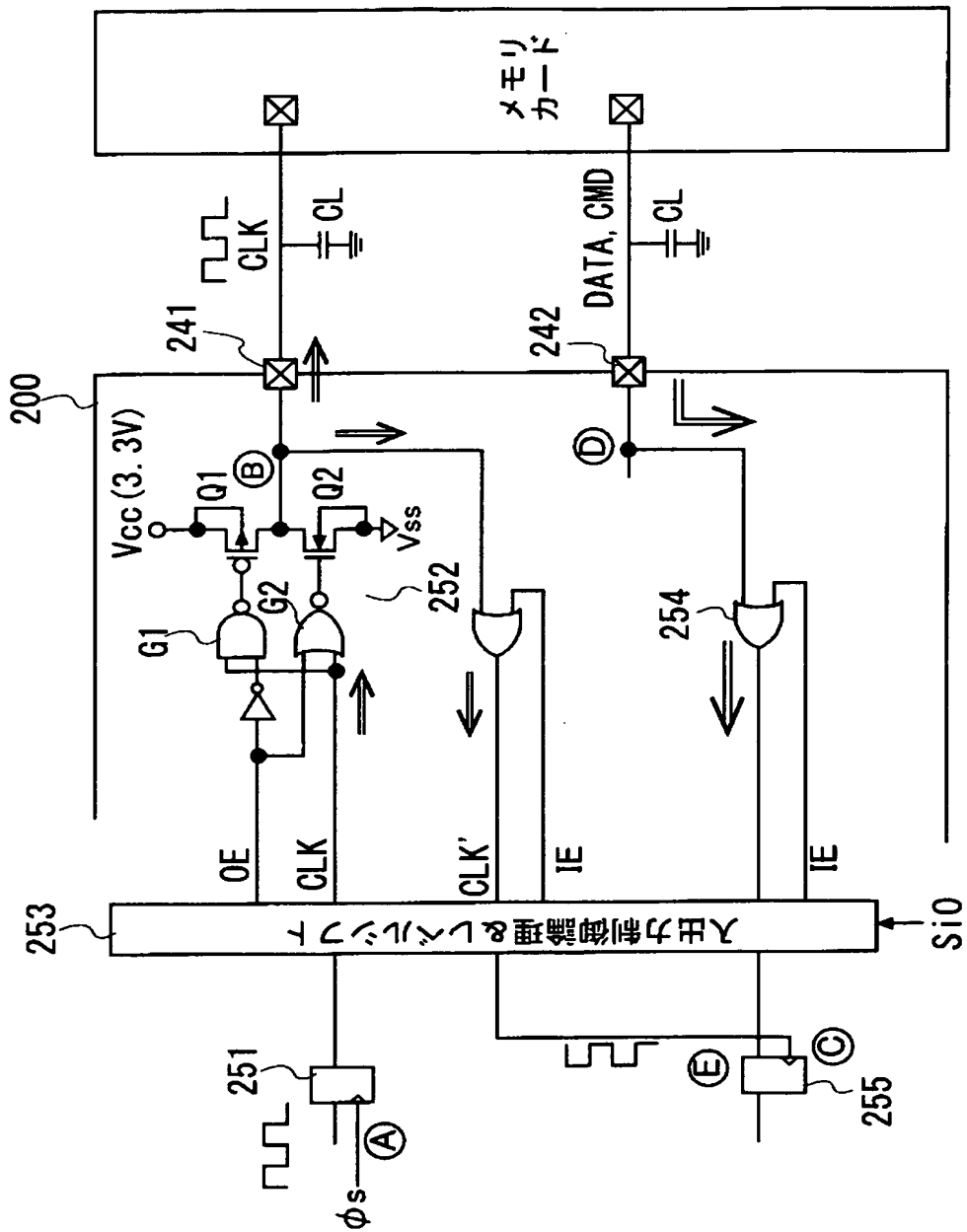
【図 5】



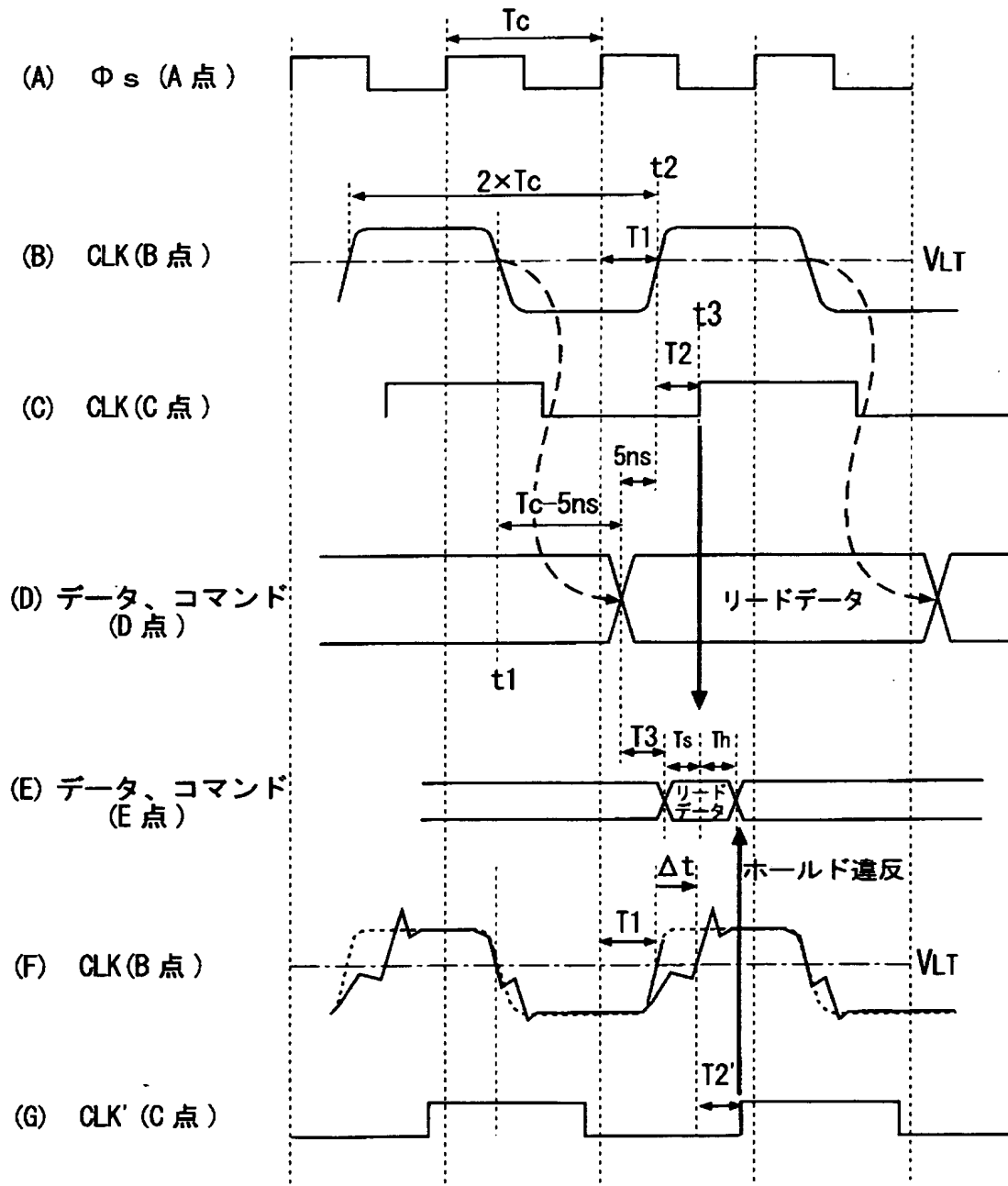
【図 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 MMC カードなどのカードが接続された場合にも、正しくデータを取り込むことができるメモリカード・インタフェースを有するマイクロコンピュータを提供する。

【解決手段】 メモリカード（1 0 0）のような外部装置とのインタフェース（2 2 1）を有するマイクロコンピュータにおいて、前記インタフェース部に、クロック信号を出力するための外部端子（2 4 1）に接続されてクロック信号を出力する出力ドライバ（D R V）と、前記メモリカードから入力されたデータを取り込むためのクロック信号を生成するために前記出力ドライバよりも前段のクロック信号経路の任意の位置から取り出されたクロック信号に前記外部端子に接続される外部負荷による遅延と等価な遅延を付与可能な等価負荷回路（2 5 7）とを設けるようにした。

【選択図】 図 2

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 1 5 0 0 3 1
受付番号	5 0 3 0 0 8 8 0 2 4 6
書類名	特許願
担当官	第七担当上席 0 0 9 6
作成日	平成 1 5 年 5 月 2 9 日

< 認定情報・付加情報 >

【提出日】	平成15年 5月28日
-------	-------------

次頁無

特願 2 0 0 3 - 1 5 0 0 3 1

出 願 人 履 歴 情 報

識別番号

[5 0 3 1 2 1 1 0 3]

1. 変更年月日

2 0 0 3 年 4 月 1 日

[変更理由]

新規登録

住 所

東京都千代田区丸の内二丁目 4 番 1 号

氏 名

株式会社ルネサステクノロジ